

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-110062  
 (43)Date of publication of application : 23.04.1999

(51)Int.CI.

G06F 1/04

(21)Application number : 09-272790  
 (22)Date of filing : 06.10.1997

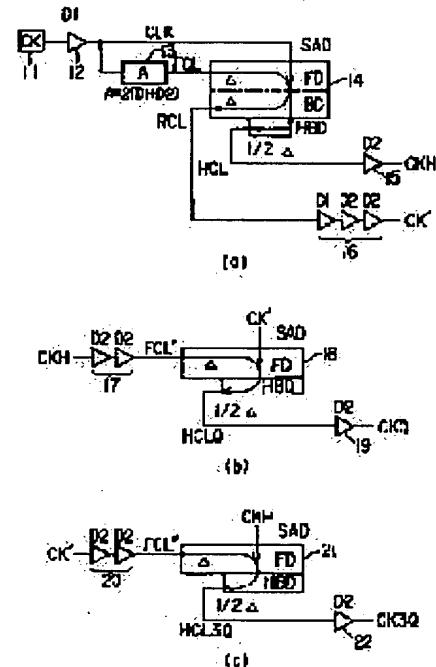
(71)Applicant : TOSHIBA CORP  
 (72)Inventor : TODA HARUKI

## (54) CLOCK CONTROL CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To normally generate internal clocks having various phases from an external clock whose cycle time is short.

**SOLUTION:** An internal clock CKH is inputted to a forward delay part FD of a synchronous type adjustment delay circuit 18 through a delay circuit 17. An internal clock CK' is inputted as a control clock to this synchronous type adjustment delay circuit 18. The forward delay part FD in the synchronous type adjustment delay circuit 18 is provided with more than delay means and a pulse FCL is delayed through the forward delay part FD of the synchronous type adjustment delay circuit 18 by a time  $\Delta$  corresponding to the time up to the rising point of the internal clock CK' in a next cycle. The internal clock CK' is delayed through a backward delay part HBD, provided with more than one delay means, by a delay quantity corresponding to a time  $\Delta/2$ . The output HCLQ of the backward delay part HBD is outputted as an internal clock CKQ through a delay circuit 19.



## LEGAL STATUS

[Date of request for examination] 26.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3363077

[Date of registration] 25.10.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-110062

(43)公開日 平成11年(1999)4月23日

(51)Int.Cl.<sup>8</sup>

G 0 6 F 1/04

識別記号

F I

G 0 6 F 1/04

A

審査請求 未請求 請求項の数6 O.L. (全12頁)

(21)出願番号

特願平9-272790

(22)出願日

平成9年(1997)10月6日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 戸田 春希

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

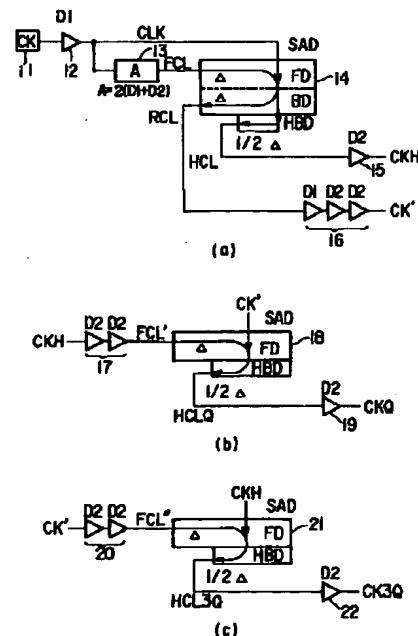
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 クロック制御回路

(57)【要約】

【課題】サイクルタイムが短い外部クロックから種々の位相を持つ内部クロックを正常に発生することを特徴とする。

【解決手段】内部クロックCKHは遅延回路17を介して同期型調整遅延回路18の前進遅延部FDに入力される。この同期型調整遅延回路18には内部クロックCK'が制御クロックとして入力される。同期型調整遅延回路18内の前進遅延部FDには複数の遅延段が設けられており、上記パルスFCL'は同期型調整遅延回路18の前進遅延部FDで、次のサイクルの内部クロックCK'が立ち上がる時点までの時間に相当する△の時間だけ遅延される。内部クロックCK'は複数の遅延段が設けられた後進遅延部HBDで、時間△/2に相当する遅延量だけ遅延される。後進遅延部HBDの出力HCLQは遅延回路19を介して、内部クロックCKQとして出力される。



## 【特許請求の範囲】

【請求項1】 一定の位相関係を持つ第1、第2の信号が供給され、第1の信号が供給された時点から第2の信号が供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、上記第2の信号が供給された時点からこの第2の信号を上記保持された遅延量の時間だけ遅延して第3の信号を発生する手段とを具備したことを特徴とする信号発生回路。

【請求項2】 一定周期を持つ第1のクロックからこの第1のクロックに対して位相が180度ずれた第2のクロック及び第1のクロックと同位相の第3のクロックを発生する第1のクロック発生手段と、

上記第2、第3のクロックが供給され、第2のクロックが供給された時点から第3のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、

上記第3のクロックが供給された時点からこの第3のクロックを上記保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が90度ずれた第4のクロックを発生する第2のクロック手段とを具備したことを特徴とするクロック制御回路。

【請求項3】 一定周期を持つ第1のクロックからこの第1のクロックに対して位相が180度ずれた第2のクロック及び第1のクロックと同位相の第3のクロックを発生する第1のクロック発生手段と、

上記第2、第3のクロックが供給され、第3のクロックが供給された時点から第2のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、

上記第2のクロックが供給された時点からこの第2のクロックを上記保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が270度ずれた第4のクロックを発生する第2のクロック発生手段とを具備したことを特徴とするクロック制御回路。

【請求項4】 一定周期を持つ第1のクロックからこの第1のクロックに対して位相が180度ずれた第2のクロック及び第1のクロックと同位相の第3のクロックを発生する第1のクロック発生手段と、

上記第2のクロック及び第3のクロックが供給され、第2のクロックが供給された時点から第3のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する第1の遅延量保持手段と、

上記第3のクロックが供給された時点からこの第3のクロックを上記第1の遅延量保持手段で保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が90度ずれた第4のクロックを発生する第2のクロック発生手段と、

上記第2のクロック及び第3のクロックが供給され、第3のクロックが供給された時点から第2のクロックが供

給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する第2の遅延量保持手段と、

上記第2のクロックが供給された時点からこの第2のクロックを上記第2の遅延量保持手段で保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が270度ずれた関係にある第5のクロックを発生する第3のクロック発生手段とを具備したことを特徴とするクロック制御回路。

【請求項5】 前記第1のクロック発生手段は、遅延量D1を有し、前記第1のクロックを遅延する第1の遅延回路と、

遅延量2(D1+D2)を有し、上記第1の遅延回路の出力を遅延する第2の遅延回路と、

上記第2の遅延回路の出力及び上記第1の遅延回路の出力が供給され、上記第2の遅延回路の出力が供給された時点から上記第1の遅延回路の出力が供給されるまでの時点の時間間に相当する時間の第1の遅延量及びその半分の時間間に相当する時間の第2の遅延量を保持する手段と、

上記第1の遅延回路の出力が供給された時点からこの第1の遅延回路の出力を上記保持された第1の遅延量の時間だけ遅延する第3の遅延回路と、

遅延量D1+2·D2を有し、上記第3の遅延回路の出力を遅延して前記第3のクロックを発生する第4の遅延回路と、

上記第1の遅延回路の出力が供給された時点からこの第1の遅延回路の出力を上記保持された第2の遅延量の時間だけ遅延する第5の遅延回路と、

遅延量D2を有し、上記第5の遅延回路の出力を遅延して前記第2のクロックを発生する第6の遅延回路とを備えていることを特徴とする請求項2、3、4のいずれか1項に記載のクロック制御回路。

【請求項6】 一定周期の第1のクロックに対して $360^\circ \times [i] / 2^{(n-1)}$  ( $[i] \equiv i \pmod{2^{(n-1)}}$ ) だけ位相がずれた第2のクロックと、第1のクロックに対して $360^\circ \times [i+1] / 2^{(n-1)}$ だけ位相がずれた第3のクロックが供給され、第2のクロックが供給された時点から第3のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、

上記第3のクロックが供給された時点からこの第3のクロックを上記保持された遅延量の時間だけ遅延して、上記第1のクロックに対して $360^\circ \times m / 2^n$  ( $m = 2[i+1]+1$ ) だけ位相がずれた第4のクロックを発生する手段とを具備したことを特徴とするクロック制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、外部クロックに対して一定の位相関係にある種々の内部クロックを発生

するクロック制御回路に関する。

【0002】

【従来の技術】シンクロナスDRAM( SDRAM )等のクロック同期型メモリを含む半導体システムでは、メモリから読み出されるデータをメモリ外部で確実にフェッチするために、データウィンドウと称される時間間隔を保持してデータ出力制御を行う必要がある。また、このようなデータウィンドウを設定するには、外部クロックと一定の位相関係にある内部クロックを発生させる必要がある。

【0003】本発明者は、先に、外部クロックに対して一定の位相関係にある複数の内部クロックを発生する方法を発明した(特願平9-100490号)。しかし、この先の出願に係る明細書及び図面に記載されている方法では、外部クロックのクロックサイクルが短くなると、回路がうまく動作しなくなる可能性がある。

【0004】図13は、先の出願(特願平9-100490号)の願書に添付された図面の図33に示されているクロック制御回路の構成を示している。この回路は、周期Tの外部クロックCKから、外部クロックCKに対して位相が90度(T/4)ずれた内部クロックCK'Q、外部クロックCKに対して位相が180度(T/2)ずれた内部クロックCKH、外部クロックCKに対して位相が270度(3T/4)ずれた内部クロックCK3Q及び外部クロックCKに対して位相が360度(T)ずれた、すなわちCKと同位相の内部クロックCK'をそれぞれ発生するものである。

【0005】すなわち、このクロック制御回路において、外部クロックCKは、遅延量D1を有するレシーバとしての入力バッファ101を経由してチップ内部に入力される。上記入力バッファ101は、外部クロックCKに対してD1のスキーを有する内部クロックCLKを出力する。この内部クロックCLKは、遅延量Aを有する遅延回路102に入力されると共に同期型調整遅延回路(SAD: Synchronous Adjustable Delay)103にも入力される。上記遅延回路102からの出力パルスCLは、上記同期型調整遅延回路103の前進遅延部FD(Forward Delay)に入力される。この同期型調整遅延回路103には、上記前進遅延部FDの他に後進遅延部BD(Backward Delay)等が設けられている。

【0006】前進遅延部FDに入力されたパルスCLは、次のサイクルの内部クロックCLKが立ち上がる時点まで、前進遅延部FDで△の時間だけ遅延される。そして次のサイクルの内部クロックCLKは、同期型調整遅延回路103内の後進遅延部BD及び他の後進遅延部QBD(Quarter Backward Delay)、HBD(Half Backward Delay)、3QBD(3 Quarter Backward Delay)に入力され、それ所定時間だけ遅延される。

【0007】同期型調整遅延回路103内の後進遅延部BDは、上記前進遅延部FDと等しい遅延時間△を持つ

ような段数の遅延段によって内部クロックCLKを遅延する。他の後進遅延部QBD、HBD、3QBDは、それぞれ前進遅延部FDの遅延時間△の1/4、1/2、3/4に相当する遅延時間△/4、△/2、3△/4を持つような段数の遅延段によって内部クロックCLKを遅延する。

【0008】上記後進遅延部QBDからの遅延パルスQCLは、遅延量D2を有するドライバとしての遅延回路104を通過して内部クロックCKQとなる。上記後進遅延部HBDからの遅延パルスHCLは、遅延量(D1+D2×2)を有するドライバとしての遅延回路105を通過して内部クロックCKHとなる。

【0009】上記後進遅延部3QBDからの遅延パルス3QCLは、遅延量(D1×2+D2×3)を有するドライバとしての遅延回路106を通過して内部クロックCK3Qとなる。

【0010】さらに、後進遅延部BDからの遅延パルスRCLは、遅延量(D1×3+D2×4)を有するドライバとしての遅延回路107を通過して内部クロックCK'となる。

【0011】ここで遅延回路102の遅延量Aを4(D1+D2)に設定しておけば、外部クロックCKの周期TはT=4(D1+D2)+△となる。外部クロックCKに対する内部クロックCKQの遅延時間はD1+△/4+D2=(D1+D2)+△/4となり、この内部クロックCK'は外部クロックCKに対して位相が90度(T/4)ずれたものとなる。

【0012】外部クロックCKに対する内部クロックCKHの遅延時間はD1+△/2+D1+D2×2=2(D1+D2)+△/2となり、この内部クロックCKHは外部クロックCKに対して位相が180度(T/2)ずれたものとなる。

【0013】外部クロックCKに対する内部クロックCK3Qの遅延時間はD1+3△/4+D1×2+D2×3=3(D1+D2)+3△/4となり、この内部クロックCK3Qは外部クロックCKに対して位相が270度(3T/4)ずれたものとなる。

【0014】外部クロックCKに対する内部クロックCK'の遅延時間はD1+△+D1×3+D2×4=4(D1+D2)+△となり、この内部クロックCK'は外部クロックCKに対して同位相(位相のずれは360度で周期T)となる。

【0015】

【発明が解決しようとする課題】しかし、図13のクロック制御回路では、遅延回路102の遅延量Aが4(D1+D2)であることが、動作可能なサイクルタイムの下限が大きく制限される。

【0016】すなわち、同期型調整遅延回路103が効的に動作するには、上記遅延量Aが外部クロックCKのサイクルタイムよりも小さいことが必要がある。なぜな

らば、同期型調整遅延回路103ではサイクルタイムの残り時間で遅延量△を調整しているからである。

【0017】例えば外部クロックCKの周波数が125MHzで、サイクルタイムが8nsの場合を考えると、(D1+D2)に相当する遅延量は2ns以下でなければならない。しかし、外部クロックCKのレシーバである入力バッファの遅延量D1と、内部クロックのドライバー遅延に相当する遅延量D2の和を2ns以下にするのは極めて困難である。

【0018】このように従来のクロック制御回路では、外部クロックのサイクルタイムが短い場合には正常に動作しなくなる恐れがある。この発明は上記のような事情を考慮してなされたものであり、その目的は、外部クロックのサイクルタイムが短い場合でも正常に動作するクロック制御回路を提供することにある。

【0019】

【課題を解決するための手段】この発明の信号発生回路は、一定の位相関係を持つ第1、第2の信号が供給され、第1の信号が供給された時点から第2の信号が供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、上記第2の信号が供給された時点からこの第2の信号を上記保持された遅延量の時間だけ遅延して第3の信号を発生する手段とを具備している。

【0020】この発明のクロック制御回路は、一定周期を持つ第1のクロックからこの第1のクロックに対して位相が180度ずれた第2のクロック及び第1のクロックと同位相の第3のクロックを発生する第1のクロック発生手段と、上記第2、第3のクロックが供給され、第2のクロックが供給された時点から第3のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、上記第3のクロックが供給された時点からこの第3のクロックを上記保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が90度ずれた第4のクロックを発生する第2のクロック手段とを具備している。

【0021】この発明のクロック制御回路は、一定周期を持つ第1のクロックからこの第1のクロックに対して位相が180度ずれた第2のクロック及び第1のクロックと同位相の第3のクロックを発生する第1のクロック発生手段と、上記第2、第3のクロックが供給され、第3のクロックが供給された時点から第2のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、上記第2のクロックが供給された時点からこの第2のクロックを上記保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が270度ずれた第4のクロックを発生する第2のクロック発生手段とを具備している。

【0022】この発明のクロック制御回路は、一定周期を持つ第1のクロックからこの第1のクロックに対して

位相が180度ずれた第2のクロック及び第1のクロックと同位相の第3のクロックを発生する第1のクロック発生手段と、上記第2のクロック及び第3のクロックが供給され、第2のクロックが供給された時点から第3のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する第1の遅延量保持手段と、上記第3のクロックが供給された時点からこの第3のクロックを上記第1の遅延量保持手段で保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が90度ずれた第4のクロックを発生する第2のクロック発生手段と、上記第2のクロック及び第3のクロックが供給され、第3のクロックが供給された時点から第2のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する第2の遅延量保持手段と、上記第2のクロックが供給された時点からこの第2のクロックを上記第2の遅延量保持手段で保持された遅延量の時間だけ遅延して、上記第3のクロックと位相が270度ずれた関係にある第5のクロックを発生する第3のクロック発生手段とを具備している。

【0023】この発明のクロック制御回路は、一定周期の第1のクロックに対して $360\text{度} \times [i] / 2^{(n-1)}$ ([i] i ( $m \bmod 2^{(n-1)}$ )であり、nは正の整数)だけ位相がずれた第2のクロックと、第1のクロックに対して $360\text{度} \times [i+1] / 2^{(n-1)}$ だけ位相がずれた第3のクロックが供給され、第2のクロックが供給された時点から第3のクロックが供給されるまでの時点の時間間隔の半分の時間に相当する遅延量を保持する手段と、上記第3のクロックが供給された時点からこの第3のクロックを上記保持された遅延量の時間だけ遅延して、上記第1のクロックに対して $360\text{度} \times m / 2^n$ (m=2[i+1]+1)だけ位相がずれた第4のクロックを発生する手段とを具備している。

【0024】

【発明の実施の形態】以下、図面を参照してこの発明を実施の形態により説明する。図1(a)～(c)はこの発明に係るクロック制御回路の一実施の形態による構成を示している。

【0025】図1(a)に示した回路は、一定周期Tの外部クロックCKから、この外部クロックCKに対して位相が180度(T/2の周期)ずれた内部クロックCKH及び外部クロックCKに対して位相が360度(Tの周期)ずれた、すなわち外部クロックCKと同位相の内部クロックCK'を発生する。

【0026】図1(b)に示した回路は、図1(a)の回路で発生される内部クロックCKHを入力クロック及び内部クロックCK'を制御クロックとして受け、この両クロックから、上記外部クロックCK(もしくは内部クロックCK')に対して位相が90度(T/4の周期)ずれた内部クロックCKQを発生する。

【0027】図1(c)に示した回路は、図1(a)の

回路で発生される内部クロック $CK'$ を入力クロック、内部クロック $CKH$ を制御クロックとして受け、この両クロックから、上記外部クロック $CK$ （もしくは内部クロック $CK'$ ）に対して位相が270度（ $3T/4$ の周期）ずれた内部クロック $CK3Q$ を発生する。

【0028】図1(a)に示した回路は以下のように構成されている。すなわち、半導体チップに設けられた入力端子11から入力される一定周期Tの外部クロック $CK$ は、遅延量D1を有するレシーバとしての入力バッファ12に入力される。上記入力バッファ12は、外部クロック $CK$ に対してD1のスキーを有する内部クロック $CLK$ を出力する。この内部クロック $CLK$ は、遅延量Aを有する遅延回路13に入力されると共に同期型調整遅延回路(SAD: Synchronous AdjustableDelay)14にも制御クロックとして入力される。なお、上記遅延回路13の遅延量Aは、 $2(D1+D2)$ に設定されている。

【0029】上記遅延回路13からの出力パルス $FCL$ は、上記同期型調整遅延回路14の前進遅延部FD(Foward Delay)に入力される。この同期型調整遅延回路14には、上記前進遅延部FDの他に後進遅延部BD(Backward Delay)及びHBD(Half Backward Delay)等が設けられている。

【0030】前進遅延部FDには複数の遅延段が設けられており、入力されたパルス $FCL$ はこの複数の遅延段を通過することによって遅延される。そして、同期型調整遅延回路14では、前進遅延部FDにパルス $FCL$ が入力され、次のサイクルの内部クロック $CLK$ が立ち上がる時点までのパルス $FCL$ の遅延時間 $\Delta$ が、パルス $FCL$ が通過した遅延段の数に対応して測定される。さらに、この測定されたパルス $FCL$ の遅延時間 $\Delta$ に相当する遅延量及びその半分の時間 $\Delta/2$ に相当する遅延量が保持される。

【0031】上記内部クロック $CLK$ は、後進遅延部BD及びHBDにそれぞれ供給される。上記後進遅延部BD及びHBDは、保持された遅延時間 $\Delta$ に相当する遅延量及び $\Delta/2$ に相当する遅延量だけ、内部クロック $CLK$ をそれぞれ遅延する。

【0032】一方の後進遅延部HBDの出力 $HCL$ は遅延回路15に入力される。この遅延回路15は、遅延量D2を有する1個の内部クロックのドライバーからなる。そして、この遅延回路15からの出力が前記内部クロック $CKH$ として、図1(b)、(c)の回路を始めとするチップ内部の各回路に供給される。

【0033】他方の後進遅延部BDの出力 $RCL$ は遅延回路16に入力される。この遅延回路16は、それぞれ内部クロックのドライバーとして動作し、遅延量D1を有する1個のドライバー及び遅延量D2を有する2個のドライバーが繰続接続して構成されている。そして、この遅延回路16からの出力が前記内部クロック $CK'$ と

して、図1(b)、(c)の回路を始めとするチップ内部の各回路に供給される。

【0034】図1(b)に示した回路は以下のように構成されている。すなわち、図1(a)の回路で発生される内部クロック $CKH$ は遅延回路17に入力される。この遅延回路17は、それぞれ遅延量D2を有する内部クロックのドライバーとして動作する2個のドライバーが繰続接続して構成され、内部クロック $CKH$ に対して2・D2のスキーを有する内部クロック $FCL'$ を出力する。この内部クロック $FCL'$ は、同期型調整遅延回路(SAD)18の前進遅延部FDに入力される。この同期型調整遅延回路18には、図1(a)の回路で発生される内部クロック $CK'$ が制御クロックとして入力される。また、この同期型調整遅延回路18には、上記前進遅延部FDの他に後進遅延部HBD等が設けられている。

【0035】同期型調整遅延回路18内の前進遅延部FDにも複数の遅延段が設けられており、入力されたパルス $FCL'$ はこの複数の遅延段を通過することによって遅延される。そして、同期型調整遅延回路18では、前進遅延部FDにパルス $FCL'$ が入力され、次のサイクルの内部クロック $CK'$ が立ち上がる時点までのパルス $FCL'$ の遅延時間 $\Delta$ が、パルス $FCL'$ が通過した遅延段の数に対応して測定される。さらに、この測定されたパルス $FCL'$ の遅延時間 $\Delta$ の半分の時間 $\Delta/2$ に相当する遅延量が保持される。

【0036】上記内部クロック $CK'$ は後進遅延部HBDに供給される。この後進遅延部HBDは、保持された時間 $\Delta/2$ に相当する遅延量だけ、内部クロック $CK'$ を遅延する。この後進遅延部HBDの出力 $HCLQ$ は、遅延量D2を有する内部クロックのドライバーからなる遅延回路19に入力される。そして、この遅延回路19からの出力が、前記内部クロック $CKQ$ として、チップ内部の各回路に供給される。

【0037】図1(c)に示した回路は以下のように構成されている。すなわち、図1(a)の回路で発生される内部クロック $CK'$ は遅延回路20に入力される。この遅延回路20は、それぞれ遅延量D2を有する内部クロックのドライバーとして動作する2個のドライバーが繰続接続して構成され、内部クロック $CK'$ に対して2・D2のスキーを有する内部クロック $FCL''$ を出力する。この内部クロック $FCL''$ は、同期型調整遅延回路(SAD)21の前進遅延部FDに入力される。この同期型調整遅延回路21には、図1(a)の回路で発生される内部クロック $CKH$ が制御クロックとして入力される。また、この同期型調整遅延回路21には、上記前進遅延部FDの他に後進遅延部HBD等が設けられている。

【0038】同期型調整遅延回路21内の前進遅延部FDにも複数の遅延段が設けられており、入力されたパル

スFCL”はこの複数の遅延段を通過することによって遅延される。そして、同期型調整遅延回路21では、前進遅延部FDにパルスFCL”が入力され、次のサイクルの内部クロックCKHが立ち上がる時点までのパルスFCL”的遅延時間△が、パルスFCL”が通過した遅延段の数に対応して測定される。さらに、この測定されたパルスFCL”的遅延時間△の半分の時間△/2に相当する遅延量が保持される。

【0039】上記内部クロックCKHは後進遅延部HBDに供給される。この後進遅延部HBDは、保持された時間△/2に相当する遅延量だけ、内部クロックCKHを遅延する。この後進遅延部HBDの出力HCL3Qは、遅延量D2を有する内部クロックのドライバーからなる遅延回路22に入力される。そして、この遅延回路22からの出力が、前記内部クロックCK3Qとして、チップ内部の各回路に供給される。

【0040】図2は、上記図1(a)中の同期型調整遅延回路14の内部構成例を示すブロック図である。図2において、U(1)～U(n+1)(nは正の整数)はそれぞれ前記前進遅延部FD及び後進遅延部BD等を構成する遅延ユニットである。これら(n+1)個の遅延ユニットは多段接続されている。また、bd(1)、bd(2)、…bd((n+1)/2)はそれぞれ前記後進遅延部HBDを構成する遅延ユニットである。これら(n+1)/2個の遅延ユニットも多段接続されている。

【0041】図3は、上記図2中の(n+1)個の遅延ユニットのうちの1個の遅延ユニットU(i)(i=1～n+1)の具体的な回路構成を示している。図示のように、遅延ユニットU(i)は、前記前進遅延部FDの1段分の遅延段を構成するパルス遅延回路fd(i)と、状態保持回路sr(i)と、前記後進遅延部BDの1段分の遅延段を構成するパルス遅延回路bd(i)とからなる3つの回路で構成されている。

【0042】パルス遅延回路fd(i)は、2個のクロックドインバータ31、32と3個のインバータ33、34、35で構成されている。クロックドインバータ31の入力端子には前段のパルス遅延回路fd(i-1)で発生されるクロックFCLiが入力される。このクロックドインバータ31は、前記内部クロックCLKから作られる制御パルス/Pが“H”的ときに活性化され、活性化されたときにクロックFCLiを反転出力する。

【0043】クロックドインバータ32の入力端子は接地電位に接続されており、常時“L”レベルが入力されている。このクロックドインバータ32は、前記制御パルス/Pと対をなす制御パルスPが“H”的ときに活性化され、活性化されたときに“L”レベルの入力を反転して出力する。

【0044】上記両クロックドインバータ31、32の出力端子は共通に接続されており、この共通接続点には

インバータ33、34の各入力端子が接続されている。そして、上記インバータ33の出力はクロックFCLi+1として次段の遅延ユニットU(i+1)に出力される。さらに、上記インバータ33の出力はインバータ35で反転され、クロック/FCLi+1として出力される。また、上記インバータ34の出力はクロックFFCLi+1として出力される。

【0045】状態保持回路sr(i)は、それぞれ2個のPチャネルMOSトランジスタ41、42及びNチャネルMOSトランジスタ43、44と、1個のインバータ45で構成されている。

【0046】上記2個のPチャネルMOSトランジスタ41、42のソース、ドレイン間は電源電圧の供給点と上記インバータ45の入力端子との間に直列接続されており、一方のPチャネルMOSトランジスタ41のゲート電極には前記内部クロックCLKと対をなす内部クロック/CCLKが供給され、他方のPチャネルMOSトランジスタ42のゲート電極には3段前段の遅延ユニットU(i-3)内のパルス遅延回路bd(i-3)で発生されるクロック/RCLi-3が供給される。

【0047】上記2個のNチャネルMOSトランジスタ43、44のソース、ドレイン間は上記インバータ45の入力端子と接地電圧の供給点との間に直列接続されており、一方のNチャネルMOSトランジスタ43のゲート電極には前段のパルス遅延回路fd(i-1)で発生されるクロックFFCLiが供給され、他方のNチャネルMOSトランジスタ44のゲート電極には上記内部クロック/CCLKが供給される。

【0048】そして、上記インバータ45の入力端子の信号は状態保持信号/Qi-2として、インバータ45の出力信号は状態保持信号Qi-2としてそれぞれ後段の遅延ユニットに供給される。

【0049】パルス遅延回路bd(i)は、2個のクロックドインバータ51、52と3個のインバータ53、54、55で構成されている。クロックドインバータ51の入力端子には内部クロックCLKが入力される。このクロックドインバータ51は、状態保持回路sr(i+2)で発生される状態保持信号/Qiが“H”的ときに活性化され、活性化されたときにクロックCLKを反転出力する。

【0050】クロックドインバータ52の入力端子にはパルス遅延回路bd(i+1)で発生されるクロックRCLi+1が入力されている。このクロックドインバータ52は、前記状態保持信号/Qiと対をなす状態保持信号Qiが“H”的ときに活性化され、活性化されたときにクロックRCLi+1を反転して出力する。

【0051】上記両クロックドインバータ51、52の出力端子は共通に接続されており、この共通接続点にはインバータ53、54の各入力端子が接続されている。そして、上記インバータ53の出力はクロックRCLi

として出力される。さらに、上記インバータ53の出力はインバータ54で反転され、クロック/RCLiとして出力される。また、上記インバータ54の出力はクロックRRCLiとして出力される。

【0052】図4は、上記図3の回路で使用される制御パルスP、/Pを発生する制御パルス発生回路の詳細な構成を示している。図4において、前記内部クロックCLKは遅延回路61を介してNORゲート62の一方入力端子に入力される。このNORゲート62の他方入力端子には内部クロック/CCLKが入力される。そして、上記NORゲート62の出力が前記制御パルスPとなり、このNORゲート62の出力を反転するインバータ63の出力が前記制御パルス/Pとなる。

【0053】図5は、上記図1(b)、(c)中の同期型調整遅延回路18、21の内部構成例を示すブロック図である。図5において、U(2)～U(x)(x=2n)はそれぞれ前記図3に示すように、パルス遅延回路fd(i)、状態保持回路sr(i)及びパルス遅延回路bd(i)の3つの回路で構成された遅延ユニットである。

【0054】前記図1(b)、(c)中の同期型調整遅延回路18、21の場合、前記図1(a)中の同期型調整遅延回路14に設けられている後進遅延部BDは不要なので、図2のものと比べて遅延ユニットUの数は半数となっており、各遅延ユニットUの前段には前記図3中のパルス遅延回路fd(i)と同様の構成のパルス遅延回路fd(i)(i=1～y、ただし、y=2n-1)が設けられている。

【0055】このような構成のクロック制御回路において、図1(a)の回路に設けられた遅延回路13の遅延量Aが $2(D_1+D_2)$ に設定されているので、外部クロックCKの周期Tは $T=2(D_1+D_2)+\Delta$ となる。

【0056】外部クロックCKに対する内部クロックCKHの遅延時間は $D_1+\Delta/2+D_2=(D_1+D_2)+\Delta/2$ となり、この内部クロックCKHは外部クロックCKに対して位相が180度( $T/2$ )ずれたものとなる。

【0057】外部クロックCKに対する内部クロックCK'の遅延時間は $D_1+\Delta+D_1+D_2 \times 2=2(D_1+D_2)+\Delta$ となり、この内部クロックCK'は外部クロックCKに対して同位相(位相のずれは360度周期T)となる。

【0058】また、図1(b)の回路では、内部クロックCK'に対して位相が180度ずれた内部クロックCKHが遅延回路17を介して同期型調整遅延回路18内の前進遅延部FDに入力され、次のサイクルの内部クロックCK'が立ち上がる時点まで遅延される。このため、前進遅延部FDにおける遅延時間△は、図6のタイミングチャートに示すように、内部クロックCKHと内

部クロックCK'との間の位相差180度に相当する時間となる。同期型調整遅延回路18内の後進遅延部HB-Dでは、この位相差180度のさらに半分の位相差に相当する時間だけ内部クロックCK'が遅延されるので、内部クロックCKQは、内部クロックCK'に対して90度( $T/4$ )位相がずれたものとなる。

【0059】なお、この例では、内部クロックCKHを $2 \cdot D_2$ の遅延量の遅延回路17を介して同期型調整遅延回路18内の前進遅延部FDに入力するようにしているので、内部クロックCKHとCK'の位相差は実際に $2 \cdot D_2 + \Delta$ となる。しかし、遅延回路19で内部クロックHCLQを遅延しているので、内部クロックCK'とCKQの位相差は $\Delta/2 + D_2$ となり、内部クロックCKHとCK'の位相差 $2 \cdot D_2 + \Delta$ の丁度半分となるので、内部CKQは、内部クロックCK'に対して丁度90度位相がずれたものとなる。

【0060】図1(c)の回路では、内部クロックCK'が遅延回路20を介して同期型調整遅延回路21内の前進遅延部FDに入力され、次のサイクルの内部クロックCKHが立ち上がる時点まで遅延される。このため、前進遅延部FDにおける遅延時間△は、図6のタイミングチャートに示すように、内部クロックCK'と内部クロックCKHとの間の位相差180度に相当する時間となる。同期型調整遅延回路21内の後進遅延部HB-Dでは、この位相差180度のさらに半分の位相差に相当する時間だけ内部クロックCKHが遅延されるので、内部クロックCK3Qは、内部クロックCKHに対して90度( $T/4$ )位相がずれたものとなる。つまり、内部クロックCK3Qは、内部クロックCK'に対して270度( $3T/4$ )位相がずれたものとなる。

【0061】なお、図1(c)の回路でも、内部クロックCK'を $2 \cdot D_2$ の遅延量の遅延回路20を介して同期型調整遅延回路21内の前進遅延部FDに入力するようをしているので、内部クロックCK'とCKHの位相差は実際には $2 \cdot D_2 + \Delta$ となる。しかし、遅延回路22で内部クロックHCL3Qを遅延しているので、内部クロックCKHとCK3Qの位相差は $\Delta/2 + D_2$ となり、内部クロックCK'とCKHの位相差 $2 \cdot D_2 + \Delta$ の丁度半分となるので、内部CK3Qは、内部クロックCK'に対して丁度270度位相がずれたものとなる。

【0062】このように上記実施の形態によるクロック制御回路では、外部クロックCKに対して位相が90度及び270度ずれた内部クロックCKQ、CK3Qを発生することができる。

【0063】しかも、図1(a)中の遅延回路13の遅延量Aが $2(D_1+D_2)$ に設定されているので、同期型調整遅延回路14が有効に動作するための時間余裕が従来よりも大幅に改善される。

【0064】例えば外部クロックCKの周波数が125MHzで、サイクルタイムが8nsの場合を考えると、

(D<sub>1</sub> + D<sub>2</sub>)に相当する遅延量は4 ns以下であればよい。外部クロックCKのレシーバである入力バッファ12の遅延量D<sub>1</sub>と、内部クロックのドライバー遅延に相当する遅延量D<sub>2</sub>の和を4 ns以下にするのは比較的容易である。

【0065】このため、上記実施の形態に係るクロック制御回路は、従来では正常に動作しないような短いサイクルタイムを持つ外部クロックからでも種々の位相差を持つ内部クロックを正常に発生することができる。

【0066】ここで、図3に示した遅延ユニットU(i)の動作について簡単に説明しておく。パルス遅延回路f<sub>d</sub>(i)では、制御パルス/Pが“H”的ときにクロックドインバータ31が活性化され、前段からのクロックFCL<sub>i</sub>がクロックドインバータ31、インバータ33及び35を通過することによって、次段へのクロックFCL<sub>i+1</sub>は前段からのクロックFCL<sub>i</sub>に対して1段分の遅延が与えられる。

【0067】一方、制御パルスPが“H”(／P=“L”)のときはクロックドインバータ31が非活性となるので、前段からのクロックFCL<sub>i</sub>は次段へは伝えられない。その代わり、クロックドインバータ32が活性化され、クロックFCL<sub>i+1</sub>、FCL<sub>i+1</sub>は共に“L”に固定され、／FCL<sub>i+1</sub>は“H”に固定される。

【0068】状態保持回路sr(i)では、内部クロック/CLKが“H”的とき、前段からのクロックFCL<sub>i</sub>が“H”であれば、状態保持信号Q<sub>i-2</sub>が“H”、／Q<sub>i-2</sub>が“L”となる。また、内部クロック/CLKが“L”的とき、前段からのクロック/RCL<sub>i-3</sub>が“L”であれば、状態保持信号Q<sub>i-2</sub>が“L”、／Q<sub>i-2</sub>が“H”となる。

【0069】パルス遅延回路b<sub>d</sub>(i)では、状態制御信号/Q<sub>i</sub>が“H”的ときにクロックドインバータ51が活性化され、内部クロックCLKが選択される。すなわち、内部クロックCLKの遅延はこの遅延ユニットU(i)から開始されることになる。そして、この内部クロックCLKがクロックドインバータ51、インバータ53を通過することによって、遅延回路1段分の遅延が与えられ、前段にクロックRCL<sub>i</sub>として出力される。

【0070】一方、状態制御信号Q<sub>i</sub>が“H”(／Q<sub>i</sub>=“L”)のときはクロックドインバータ51が非活性となるので、その遅延ユニットU(i)から内部クロックCLKは遅延されない。その代わり、クロックドインバータ52が活性化され、次段からのクロックRCL<sub>i+1</sub>が選択され、クロックドインバータ52、インバータ53を通過することによって、遅延回路1段分の遅延が与えられ、前段にクロックRCL<sub>i</sub>として出力される。このとき、クロックRRCL<sub>i</sub>、／RCL<sub>i</sub>がインバータ54、55から出力される。

【0071】図7は、この発明の第2の実施の形態によ

るクロック制御回路の構成を示している。先の図1に示したクロック制御回路は、外部クロックCKから、この外部クロックCKに対して位相が90度及び270度ずれた2種類の内部クロックCKQ、CK3Qを発生するものであったが、図7のものではこれを一般化して、外部クロックCKに対して位相が360度の(1/2)<sup>n</sup>のm倍だけずれた内部クロックを発生するように構成したものである。

【0072】この回路は、前記図1(b)または(c)に示した回路と同様に構成されている。すなわち、この図7のクロック制御回路は、前記内部クロックCKHまたはCK'に相当するクロックCKAが入力され、前記遅延回路17または20と同様に、それぞれ遅延量D2を有し内部クロックのドライバーとして動作する2個のドライバーが繰り接続して構成され、入力クロックCKAに対して2・D2のスキーを有する遅延回路23と、前進遅延部FDや後進遅延部HBD等が設けられ、前記同期型調整遅延回路18または21と同様に構成された同期型調整遅延回路24と、この同期型調整遅延回路24内の後進遅延部HBDからの出力クロックHCLCが供給され、前記遅延回路19または22と同様に遅延量D2を有する内部クロックのドライバーからなる遅延回路25とから構成されている。なお、上記同期型調整遅延回路24には、前記内部クロックCK'もしくはCKHに対応した制御クロックとしてクロックCKBが供給されている。そして、遅延回路25からクロックCKCが出力される。

【0073】このような構成のクロック制御回路において、クロックCKA、CKBとしてどうようなクロックを用いるかで、種々の位相を持つ内部クロックCKCを発生することができる。

【0074】具体例として、図8に示すように360度の位相を8等分した内部クロックを発生する場合を説明する。いま、発生すべき内部クロックのクロック名を、図8に従って、CK0(=CK'=CK1)、CK1/8、CK1/4(=CKQ=CK2/8)、CK3/8、CK1/2(=CKH=CK4/8)、CK5/8、CK3/4(=CK3Q=CK6/8)、CK7/8、CK0(=CK8/8=CK')とする。

【0075】このとき、図7に示す回路は7組必要となり、クロックCKA、CKB、CKCとこれらのクロックとの関係は図9に示すようになる。図9に示すように、nのレベル(1、2、3)によって分類すると、nのレベルのクロックは一つ前のレベルで作られたクロック(CKC)を用いることによって発生させることができる。そこで、CK(m/2)<sup>n</sup>のmとnによって、一般的なクロックCKA、CKB、CKCの関係を導くことにする。

【0076】図10にレベル相互間の関係を示す。入力クロックとしてCK(m-1)/2<sup>n-1</sup>を、制御クロック

クとして $CK_m / 2^{n-1}$ を用いると、この両クロック間の遅延量△の半分の遅延の後に出力クロックを立ち上げることができる。(n-1) レベルのクロック名 $m / 2^{n-1}$ の分母、分子にそれぞれ2を掛けると、nレベルのクロック名となり、さらにこのクロックの分子に1を加えると出力クロック名となる。この出力クロックは、入力及び制御に用いられたクロック相互間の位相の半分の位相に相当する遅延時間の後に立ち上がるるので、レベルnのクロックの所望する位相特性を持つことになる。

【0077】クロック名の定義は図10に示した通りであり、mは0から $2^{(n-1)} - 1$ の値をとるので、入力クロック $CK_A = CK[i] / 2^{(n-1)}$ 、制御クロック $CK_B = CK[i+1] / 2^{(n-1)}$ 、出力クロック $CK_C = CK\{2[i+1]+1\} / 2^n$ (ただし、 $0 \leq [i] \leq 2^{(n-1)} - 1$ 、すなわち、 $[i] = i \pmod{2^{(n-1)}}$ )とすれば、外部クロックを360度の $\{2[i+1]+1\} / 2^n$ だけ位相をずらした内部クロックを容易に発生することができる。

【0078】次にこの発明の応用例を説明する。図11は、この発明のクロック制御回路を備えたシンクロナスDRAMの概略的なブロック構成を示している。メモリ回路70には複数のメモリセルが設けられている。データの読み出し時には、図示しない行デコーダ及び列デコーダ等によってメモリ回路70内のメモリセルが選択され、この選択されたメモリセルの記憶データがセンスアンプ(SA)71でセンスされ、出力回路(OB)72に供給される。

【0079】図中の符号73は、先に説明してきたクロック制御回路であり、このクロック制御回路73は、クロック入力端子74からチップ内部に入力される一定周期Tの外部クロックCKから、この外部クロックCKに対して位相が例えば90度ずれた内部クロックCKQと、270度ずれた内部クロックCKHを発生する。そして、このクロック制御回路73で発生された内部クロックCKQ、CKHは、上記出力回路72に供給される。出力回路72は、センスアンプ71でセンスされたデータを、読み出しデータDoutとしてデータ出力端子75からチップ外部に出力するものであるが、図12のタイミングチャートに示すように、内部クロックCKQが立ち上がるタイミングで読み出しデータDoutの出力を開始し、内部クロックCKHが立ち上がるタイミングで読み出しデータDoutの出力を終了する。従って、読み出しデータDoutの出力期間は、例えば外部クロックCKが立ち上がった後のT/4の時点から3T/4の時点までの一定期間となる。

【0080】このようなシンクロナスDRAMでは、外部クロックCKに同期した上記期間(T/4の時点から3T/4の時点)がデータウィンドウとなるため、この期間内にデータを取り込むようにすればよい。

【0081】

【発明の効果】以上説明したようにこの発明によれば、外部クロックのサイクルタイムが短い場合でも正常に動作するクロック制御回路を提供することができる。

【図面の簡単な説明】

【図1】この発明に係るクロック制御回路の一実施の形態による構成を示す回路図。

【図2】図1中の一つの同期型調整遅延回路の内部構成例を示すブロック図。

【図3】図2中の遅延ユニットの具体的な回路構成を示す回路図。

【図4】図3の回路で使用される制御パルスを発生する制御パルス発生回路の詳細な構成を示す回路図。

【図5】図1中の他の同期型調整遅延回路の内部構成例を示すブロック図。

【図6】図1のクロック制御回路の動作の一例を示すタイミングチャートを示す図。

【図7】この発明の第2の実施の形態によるクロック制御回路の構成を示す回路図。

【図8】図7のクロック制御回路で発生する内部クロックを示す図。

【図9】図7のクロック制御回路におけるクロック相互の関係をまとめて示す図。

【図10】図7のクロック制御回路におけるレベル相互の関係を示す図。

【図11】この発明の応用例によるシンクロナスDRAMの概略的なブロック構成を示す図。

【図12】図11のシンクロナスDRAMからデータ読み出しを行う際のタイミングチャートを示す図

【図13】従来のクロック制御回路の回路図。

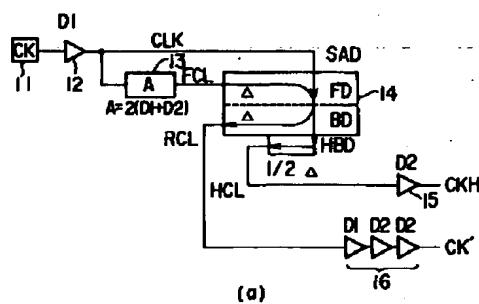
【符号の説明】

- 1 1…入力端子、
- 1 2…入力バッファ、
- 1 3…遅延回路、
- 1 4…同期型調整遅延回路 (SAD : Synchronous Adjustable Delay )、
- 1 5…遅延回路、
- 1 6…遅延回路、
- 1 7…遅延回路、
- 1 8…同期型調整遅延回路 (SAD : Synchronous Adjustable Delay )、
- 1 9…遅延回路、
- 2 0…遅延回路、
- 2 1…同期型調整遅延回路 (SAD : Synchronous Adjustable Delay )、
- 2 2…遅延回路、
- 2 3…遅延回路、
- 2 2…同期型調整遅延回路 (SAD : Synchronous Adjustable Delay )、
- 2 5…遅延回路、
- 3 1、3 2、5 1、5 2…クロックドインバータ、

33、34、35、45、53、54、55、63…インバータ、  
 41、42…PチャネルMOSトランジスタ、  
 43、44…NチャネルMOSトランジスタ、  
 61…遅延回路、  
 62…NORゲート、  
 70…メモリ回路、  
 71…センスアンプ（SA）、  
 72…出力回路（OB）、  
 73…クロック制御回路、

74…クロック入力端子、  
 75…データ出力端子、  
 FD…前進遅延部(Forward Delay)、  
 BD…後進遅延部(Backward Delay)、  
 HBD…後進遅延部(Half Backward Delay)、  
 U(1)～U(n+1)…遅延ユニット、  
 f d(i)…パルス遅延回路、  
 s r(i)…状態保持回路、  
 b d(i)…パルス遅延回路。

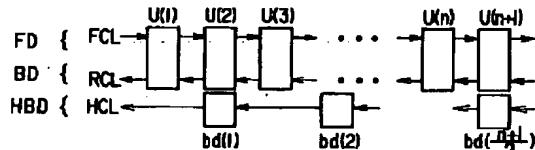
【四】



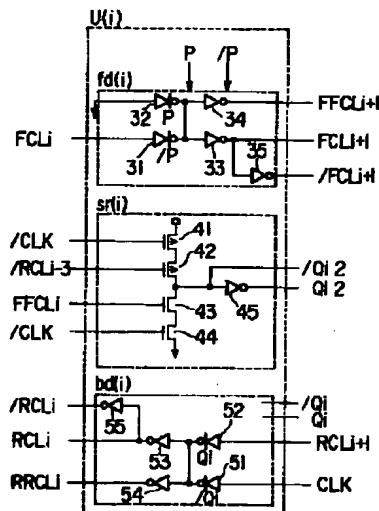
Circuit diagram showing logic connections between CK', CK, D2, FCL', HCL3Q, FD, SAD, and CK3Q.

- CK' Input:** CK' is connected to a NOT gate (triangle) with output 20, which then connects to the D2 input of the FCL' block.
- CK Input:** CK is connected to the CK input of the FCL' block.
- D2 Input:** The output 20 from the NOT gate connects to the D2 input of the FCL' block.
- FCL' Block:** The FCL' block has two outputs: one to the CK input of the FD block and another to the HCL3Q block.
- HCL3Q Block:** The output of the FCL' block goes to the HCL3Q block, which also receives CK' as an enable signal (indicated by a triangle).
- FD Block:** The CK input of the FD block receives the output from the FCL' block and the CK input.
- SAD Block:** The FD block outputs to the SAD block, which then outputs to the CK3Q block.
- CK3Q Output:** The CK3Q block outputs CK3Q through an inverter (indicated by a triangle) labeled (e).
- D2 Output:** The CK3Q block also outputs D2.

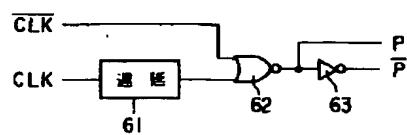
【图2】



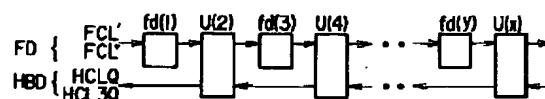
3



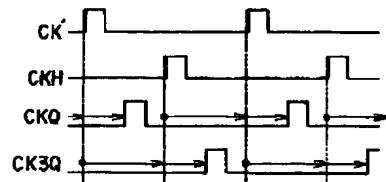
(图4)



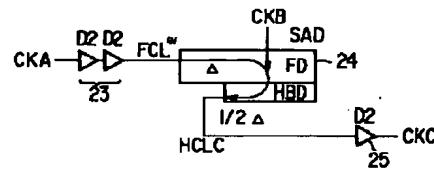
【図5】



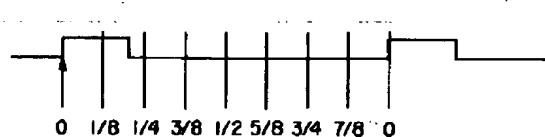
【図6】



【図7】



【図8】

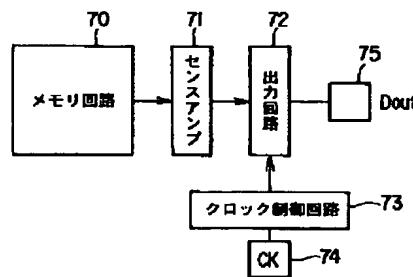


【図10】

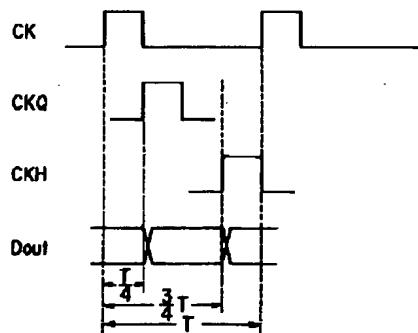
	CKA	CKB	CKC
n=1	CK0	CK0	CK1/2
n=2	CK1/2	CK0	CK1/2 <sup>2</sup>
	CK0	CK1/2	CK3/2 <sup>2</sup>
n=3	CK3/2 <sup>2</sup>	CK0	CK1/2 <sup>3</sup>
	CK0	CK1/2 <sup>2</sup>	CK3/2 <sup>3</sup>
	CK1/2 <sup>2</sup>	CK2/2 <sup>2</sup>	CK5/2 <sup>3</sup>
	CK2/2 <sup>2</sup>	CK3/2 <sup>2</sup>	CK7/2 <sup>3</sup>

$$\begin{aligned}
 & \text{(n-l)レベル} \rightarrow \frac{(m-l)}{2^{m-n}} \\
 & \Delta \quad \Delta/2 \\
 & \frac{m}{2^{m-n}} \\
 & \downarrow \\
 & n\text{レベル} \rightarrow \frac{2m}{2^n} \rightarrow \frac{(2m+l)}{2^n}
 \end{aligned}$$

【図11】



【図12】



【図13】

